PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136774
(43)Date of publication of application : 01.06.1993

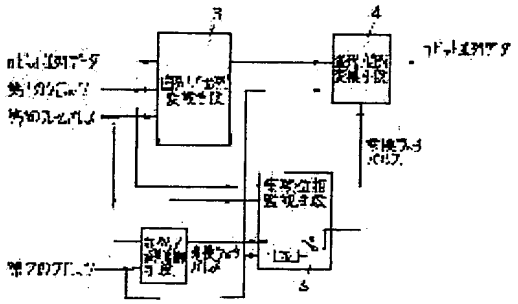
(51)Int.CI. H04L 7/00

(21)Application number : 03-293536
(22)Date of filing : 11.11.1991

(71)Applicant : FUJITSU LTD
(72)Inventor : SAKURAI HIROYA

(54) CLOCK TRANSFER CIRCUIT

(57)Abstract:
PURPOSE: To suppress the increase in the circuit scale by parallel expansion to the utmost.
CONSTITUTION: The subject circuit is provided with a serial/parallel conversion means 3, a parallel/serial control means 5 generating an alternate pulse with a prescribed pulse width and sending the result as a transfer latch pulse, a transfer phase monitor means 6 generating a transfer inhibit pulse having a prescribed pulse width before and after a chance point of n × 2 bit parallel data outputted from the serial/parallel conversion means 3 and shifting the phase of a transfer latch pulse by one clock of a 2nd clock being 2,, when it is detected that a change point of the 2nd clock in the transfer latch pulse width enters the transfer inhibit pulse width, and a parallel/serial conversion means 4 latching an output of the serial/parallel conversion means using the 2nd clock having a change point in the transfer latch pulse width, converting the result into n-bit parallel data synchronous with the 2nd clock and outputting the result.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平5－136774

(43)公開日　平成５年(1993)６月１日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｈ０４Ｌ　7/00		Ａ　8949－5Ｋ		

審査請求　未請求　請求項の数１(全 10 頁)

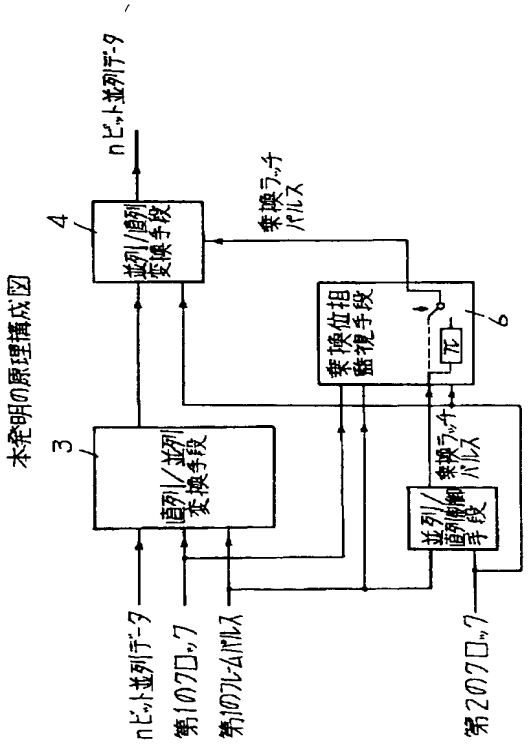
(21)出願番号　特願平3－293536

(22)出願日　平成３年(1991)11月11日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者　櫻井　宏哉
宮城県仙台市青葉区一番町１丁目２番25号　富士通東北デイジタル・テクノロジ株式会社内
(74)代理人　弁理士　井桁　貞一

(54)【発明の名称】　クロツク乗換回路

(57)【要約】
【目的】　データ伝送に使用するクロック乗換回路に関し、並列展開による回路規模の増大をできるだけ抑制することを目的とする。
【構成】　直列／並列変換手段３と、所定パルス幅の交番パルスを生成して、乗換ラッチパルスとして送出する並列／直列制御手段５と、該直列／並列変換手段から出力されるｎ×２ビット並列データの変化点の前後、所定パルス幅を持つ乗換禁止パルスを生成し、該乗換ラッチパルス幅の中にある第２のクロックの変化点が、該乗換禁止パルス幅の中に入っていることを検出した時、該乗換ラッチパルスの位相を第２のクロックの１クロック分だけ２πだけシフトさせる乗換位相監視手段６と、該乗換ラッチパルス幅内に変化点を有する第２のクロックを用いて該直列／並列変換手段の出力をラッチした後、第２のクロックに同期したｎビットの並列データに変換して出力する並列／直列変換手段４とを有するように構成する。



1

【特許請求の範囲】

【請求項１】　第１のクロックと該第１のクロックに同期した第１のフレームパルスとを用いて、入力したｎビット並列データ（ｎは正の整数）をｎ×２ビット並列データに変換する直列／並列変換手段(3) と、

該第１のフレームパルスを第２のクロックに同期させた後、該第２のクロックに同期した第１のフレームパルスを用いて、所定パルス幅を有する交番パルスを生成して、乗換ラッチパルスとして送出する並列／直列制御手段(5) と、

該第１のフレームパルスを利用して、該直列／並列変換手段から出力される、ｎ×２ビット並列データの変化点の前後、所定パルス幅を持つ乗換禁止パルスを生成し、該乗換ラッチパルス内の第２のクロックの変化点が、該乗換禁止パルス内に入っていることを検出した時、該乗換ラッチパルスの位相を該第２のクロックの１クロック分だけ２πシフトさせる乗換位相監視手段(6) と、

該乗換ラッチパルス内に変化点を有する第２のクロックを用いて該直列／並列変換手段の出力をラッチした後、該乗換ラッチパルスを用いて、第２のクロックに同期したｎビット並列データに変換して出力する並列／直列変換手段(4) とを有することを特徴とするクロック乗換回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、データ伝送に使用するクロック乗換回路に関するものである。データ伝送では、伝送路長の違いなどで生ずる遅延時間等を吸収する為にクロックの乗換処理が行われるが、入力クロックと同じ周期のシステムクロックしかない状態でクロック乗換を行う場合、乗換マージンを確保する為に直列データを並列データに展開してクロック乗換を行った後、直列データに戻している。

【０００２】この方法は入力データのビット数（系列数）が多くなればなる程、並列展開による回路規模が増大する。そこで、並列展開による回路規模の増大を、できるだけ抑制することが必要である。

【０００３】

【従来の技術】図５は従来例の構成図、図６は図５の動作説明図で、(A) は位相差最小の場合、(B) は位相差最大の場合である。なお、図６中のiCK, iFP, iD,　は図６(A),(B)に共通である。

【０００４】ここで、図６の左側の符号は図５中の同じ符号の部分の波形を示す。以下、図６を参照して、図５の動作を説明するが、入力データ iD は16ビットの並列データとするので、図５に示す様に、D タイプ-フリップフロップ（以下、D-FFと省略する）11, 12はそれぞれ，16個、D-FF 13 は 48 個あるが、１つで代表させている。

【０００５】先ず、D-FF 11, 12 で２段のシフトレジスタを構成しているので、入力した16ビットの並列データa, b, c は、直接のものと、１クロック遅延したものと、２クロック遅延したものとが同時にD-FF 13 に印加する。

【０００６】また、３段のシフトレジスタ(S-REG)18 の端子Siに、ORゲート17を介して入力フレームパルスiFPを、端子CKに入力クロック(iCK) を印加し、端子 Q_B から２クロックシフトしたパルスを取り出して、D-FF 13 の端子ENに印加する。

【０００７】そこで、D-FF 13 の端子ENがH の時、端子CKに印加された入力クロックの立上り点で、印加した16ビット×３の並列データがD-FF 13 に取り込まれる(図６-ick, iFP, iD,　参照）。なお、D-FF 13 に取り込まれた入力データは入力クロックiCK に同期している。

【０００８】一方、入力クロックに同期した入力フレームパルスiFP を出力クロック、即ち乗換クロックoCK に同期させる為、入力クロックiCK を用いて、JK-FF 19に入力フレームパルスiFP を取り込ませて端子Q からH を出力させ、これを変換クロックを用いてD-FF 20 に取り込む。

【０００９】この時、入力クロックと乗換クロックの位相差の状態により、直後の乗換クロックの立上り点(イ）、または次の乗換クロック立上り点（ロ）で取り込むことになる(図６(A) 及び図６(B)- ,oCK,　参照）。

【００１０】ここで、前者は入力クロックと乗換クロックの位相差最小の場合であり、後者は位相差最大の場合である。以下、位相差最小と位相差最大の場合について、図５中の並列／直列(P/S) 制御部の動作を説明する。

(1) 位相差最小の場合(図６(A) 参照)

上記の様に、入力クロックiCK を用いて、入力フレームパルスiFP をJK-FF 19に取り込ませ、端子Q からH を出力させ、これを乗換クロックoCK を用いてD-FF20, 21 に取り込ませる(図６(A)- ,oCK,　,　参照）。

【００１１】そして、D-FF 21 の端子Q の出力をJK-FF 19の端子K に印加するので、JK-FF19の端子Q の出力がH →L に変化して、図６(A)- に示す様に、２×変換クロックの幅を持つ乗換フラグが得られる。

【００１２】また、D-FF 20 の端子Q の出力とD-FF 21 の端子反転Q の出力のAND を、ANDゲート22で取ることにより（微分したことになる）、乗換フラグの立上りエッヂ（以下，微分パルスと云う）が得られるが、この微分パルスは OR ゲート23を介してシフトレジスタ24に印加される（図６(A)- 〜 参照）。

【００１３】シフトレジスタ24は、変換クロックoCK が入力する度に微分パルスを１クロックずつシフトして出力するが、図６(A)- に示す様に、端子 Q_B の出力(理由は後述する）を変換ラッチパルスとしてD-FF 14 の端子ENに印加する。

2

【００１４】そこで、変換ラッチパルスが（ハ）の状態にある時に印加した変換クロック（ニ）の立上り点で、D-FF 13の出力がD-FF 14 に取り込まれるが、立上り点は図６(A)- に示す様にデータabc の中間部分（前の方の○印の位置)にあるので、正しくデータabc が取り込める（図６(A)- 参照）。

【００１５】そして、D-FF 14 は取り込んだ16×３ビットの並列データをセレクタ15に印加するが、セレクタにはシフトレジスタ24の端子 Q_A ,Q_B ,Q_C の出力が、順次、加えられるので、この出力で16ビットずつセレクトして、16ビットの並列データに変換した後、D-FF 16 で波形整形をして出力データoDとして送出する。

(2) 位相差最大の場合（図６(B) 参照）

この場合は、図６(B)- , oCK, ～ に示す様に、乗換クロック（ロ）の立上り点で、入力フレームパルスをJK-FF 19に取り込むので、D-FF 20, 21, ANDゲート22の出力タイミングが図６(A) に比して乗換クロック幅だけ右側にシフトする（図６(B),図６(A) 参照）。

【００１６】これにより、D-FF 14 は乗換クロック(ホ) を用いて16×３ビットの並列データを取り込むことになるが、図６(A)- に示す様に、データabc の中間部分（後方の○印の位置）にあるので、この場合でも正しくデータabc が取り込める。

【００１７】以下、図６(A) と同様に、D-FF 14 の出力をセレクトし、波形整形して16ビットの並列データに変換して出力する。ここで、シフトレジスタ 24 の端子 Q_A 、または Q_Cの出力を変換ラッチパルスに使用すると、図６(A)-oCK の乗換クロック（ニ）の１つ前の乗換クロック、または図６(B)-oCK の乗換クロック（ホ）の１つ後の乗換クロックを使用することになり、いずれの場合でも変化点の近傍の為、正しく取り込めない可能性がある。

【００１８】

【発明が解決しようとする課題】上記の様に、変換フラグの立上り点を、最初の変換クロックで取り込めず、次の変換クロックで取り込めた時でも、クロック乗換が図６- のクロック乗換領域で行われる様に、１ビットの入力データの幅を３倍に引き延ばしていた。

【００１９】この為、例えば、16ビットの並列データを48ビットの並列データに展開する為、直列／並列部内の２つのD-FFが16個ずつ、ラッチ用のD-FFが48個，並列／直列変換部におけるラッチ用のD-FFが48個必要となり、回路規模が大きくなると云う問題がある。

【００２０】本発明は、並列展開による回路規模の増大をできるだけ抑制することを目的とする。

【００２１】

【課題を解決するための手段】図１は本発明の原理構成図である。図中、３は第１のクロックと該第１のクロックに同期した第１のフレームパルスとを用いて、入力したｎビット並列データをｎ×２ビット並列データに変換

する直列／並列変換手段、５は該第１のフレームパルスを第２のクロックに同期させた後、該第２のクロックに同期した第１のフレームパルスを用いて、所定パルス幅を有する交番パルスを生成して、乗換ラッチパルスとして送出する並列／直列制御手段、６は該第１のフレームパルスを利用して、該直列／並列変換手段から出力される、ｎ×２ビット並列データの変化点の前後、所定パルス幅を持つ乗換禁止パルスを生成し、該乗換ラッチパルス内の第２のクロックの変化点が、該乗換禁止パルス内に入っていることを検出した時、該乗換ラッチパルスの位相を、該第２のクロックの１クロック分だけ２πシフトさせる乗換位相監視手段、４は該乗換ラッチパルス内に変化点を有する第２のクロックを用いて該直列／並列変換手段の出力をラッチした後、該乗換ラッチパルスを用いて、第２のクロックに同期したｎビット並列データに変換して出力する並列／直列変換手段である。

【００２２】

【作用】本発明は、入力したｎビットの並列データを、直列／並列変換手段でｎ×２ビットの並列データに変換するが、このままでは第２のクロックの位相差によってはクロック乗換時にｎ×２ビットの並列データの変化点を取り込む可能性がある。 そこで、乗換位相監視手段で、ｎ×２ビットの並列データの変化点の前後、例えば半クロックの間の領域を示す乗換禁止パルスを生成し、乗換ラッチパルス内の第２のクロックの立上り点が、乗換禁止パルス内に入ったことを検出した時、乗換ラッチパルスの位相をπだけシフトして、並列／直列変換手段に送出する様にした。

【００２３】これにより、第２のクロックの立上り点は１クロックシフトして、ｎ×２ビットの並列データの中間部分を取り込むことになり、クロック乗換が正しく行われる。

【００２４】なお、従来は入力データをｎ×３に展開していたが、本発明ではｎ×２にすることにより、D-FFの数が削減され、回路規模が小となる。

【００２５】

【実施例】図２は本発明の実施例の構成図、図３は図２の動作説明図（その１）、図４は図２の動作説明図（その２）である。

【００２６】なお、図３，図４中の左側の符号は図２の同じ符号の部分の波形を示す。ここで、D-FF31, 32, 34, ORゲート33は直列／並列変換手段３の構成部分、D-FF 41, 43 , セレクタ42は並列／直列変換手段４の構成部分、D-FF 51 ～53, 56, AND ゲート54, ORゲート 55, シフトレジスタ57は並列／直列制御手段５の構成部分、インバータ61, シフトレジスタ62, D-FF 63, 65, ANDゲート 64, EX-ORゲート66は乗換位相制御手段６の構成部分である。

【００２７】また、D-FF 31, 43 とD-FF 32, 41は16個と32個あるが、それぞれ１個で代表させてある。以下、

5

図３，図４を参照して図２の動作を説明する。先ず、D-FF 32 には、入力した16ビットの並列データとD-FF31で１クロック遅延した16ビットの並列データが印加する。

【００２８】また、入力フレームパルスiFP がORゲート 33, D-FF 34を介してD-FF 32 の端子ENに印加するので、端子ENがH レベルの時、入力クロックiCK の立上り点で、印加した16ビット×２の並列データがD-FF 32 に取り込まれる（ 図３-iCK, iFP, iD,　参照）。

【００２９】一方、入力フレームパルスiFP を入力クロックiCK でJK-FF 51に取り込んで、端子Q をH レベルの状態にするが、この状態を乗換クロックoCK を用いて、D-FF52, 53に、順次、取り込んだ後、D-FF 53 の端子Q の出力をJK-FF の端子K に印加することにより、JK-FF の端子Q がH レベルからL レベルの状態になる（ 図３-　参照）。これに伴って、D-FF 52, 53 の端子Q の出力もL レベルになる。

【００３０】ここで、従来例で詳細に説明した様に、入力クロックiCK と乗換クロックoCKの相差によって、JK-FF の出力をD-FF 52 が取り込むタイミングが異なるので、位相差が最小の場合から説明する。

(1) 位相差最小の場合（ 図３(A) 参照）

この場合は図３(A)-oCK に示す様に、乗換クロック(イ)でJK-FF 51の出力をD-FF 52 に取り込む。

【００３１】そして、D-FF 51, 52 の端子Q の出力をAND ゲート54に加えて、論理積を取った後、ORゲート55, D-FF 56, EX-ORゲート 66 を介して乗換ラッチパルスとしてD-FF 41 の端子ENに印加するが、この時の変換ラッチパルスは図３(A)-　の（ホ）の部分である（ 図３(A)-oCK,　～　参照）。

【００３２】一方、D-FF 63 には、シフトレジスタ62で３×入力クロック分だけ遅延した入力フレームパルスiFP が印加するが、このフレームパルスはインバータ61を介して、入力クロックの立上り点で取り込まれるので、図３-iCK,　,　に示す様に16ビット×２の並列データの変化点の前後を半クロック分ずつカバーするパルスとなる。

【００３３】従って、このパルスは乗換が正常に行われない可能性がある範囲、即ち、クロック乗換禁止範囲をH レベルで示し、範囲外の時はL レベルになる。なお、上記の半クロックはマージンである。

【００３４】さて、位相差最小の時は、図３(A)-　に示す乗換ラッチパルス内の乗換クロックの立上り点は○印となり、クロック乗換禁止範囲外にある。そこで、D-FF 56の出力はそのまま、EX-OR ゲート 66 を通過してD-FF 41 に印加するので、D-FF41 は図３(A)-　に示す様に、16ビット×２の並列データを取込み、出力をセレクタ42に送出する。

【００３５】セレクタは、図３-　に示す様に、位相が０，πと順次、切り替わる乗換ラッチパルスを用いて、16ビットの並列データに変換した後、D-FF 43 で波形整

6

形して変換データとして出力する。

【００３６】なお、位相差最大の時は、図３(B)-oCK, に示す様に、変換ラッチパルスがHの時の変換クロック(ニ) の立上り点が図３-　の乗換禁止範囲内に入って居るので、このままでは正しいクロック乗換ができない可能性がある。そこで、下記の様に図４に示す様な方法で、正しくクロック乗換ができる様にした。(2) 位相差最大の場合（ 図４参照）なお、図４のiCK, iFP, iD,　,　は図３と同じである。

【００３７】(1) 項及び図４-　, oCK,　～　に示す様に、JK-FF 51の端子Q のH レベルを、最初の乗換クロックの立上り点ではD-FF 52 に取り込めず、次の乗換クロックの立上り点で取り込んだ為、D-FF 53, ANDゲート 54, OR ゲート 55 の出力が(1) 項の場合よりも１乗換クロック分だけ、図３よりも右側にシフトした。

【００３８】この為、D-FF 56 から、図４-　の内の(ヘ) のH レベルが変換ラッチパルスとしてEX-OR ゲート 66 を介してD-FF 41 の端子ENに加えられるが、一部はANDゲート64に加えられる。

【００３９】このゲートには、D-FF 63 からのH レベルも加えられているので、JK-FF 65からのH レベルがEX-OR ゲートに加えられる。これにより、D-FF 56 からのL レベルが EX-ORゲートでH レベルに変換されて変換ラッチパルスとしてD-FF 41P gtie 42 に加えられる。即ち、乗換ラッチパルスが２乗換クロック分，H レベルになる（ 図４-　,　,　のト参照）。

【００４０】この為、（ト）の乗換ラッチパルス内の乗換クロック（チ）の立上り点は乗換禁止範囲より外れる為、16ビット×２の並列データ cd から正しくD-FF 41 に取り込める。なお、JK-FF 65はその状態を保持するので、以後、正しいクロック乗換が行われる。

【００４１】即ち、クロック乗換位相監視部分を設けることにより、入力データを２倍に展開することが可能となり、クロック乗換回路の規模が縮小できた。

【００４２】

【発明の効果】以上詳細に説明した様に本発明によれば、並列展開による回路規模の増大をできるだけ抑制することができると云う効果がある。

【図面の簡単な説明】

【図１】本発明の原理構成図である。

【図２】図２は本発明の実施例の構成図である。

【図３】図２の動作説明図（その１）である。

【図４】図２の動作説明図（その２）である。

【図５】図５は従来例の構成図である。

【図６】図５の動作説明図で、(A) は位相差最小の場合、(B) は位相差最大の場合である。

【符号の説明】

３　直列／並列変換手段　　４　並列／直列変換手段

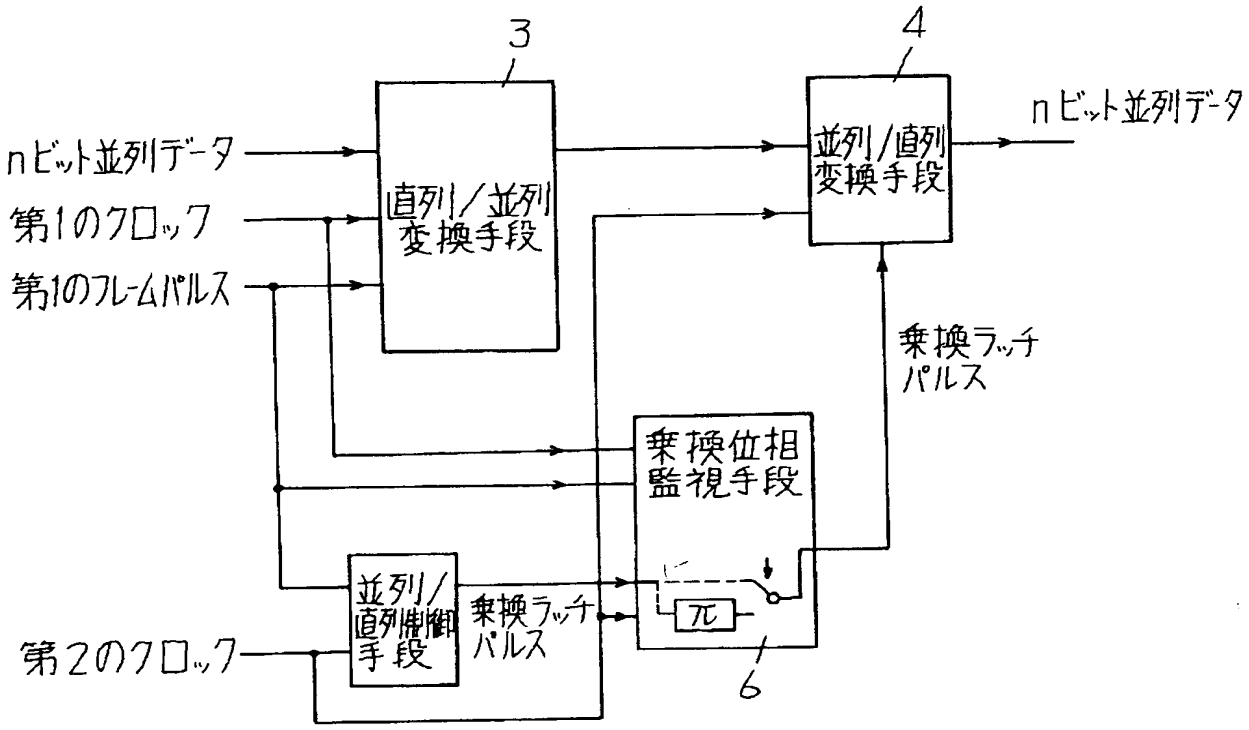
５　並列／直列制御手段　　６　乗換位相監

7

視手段

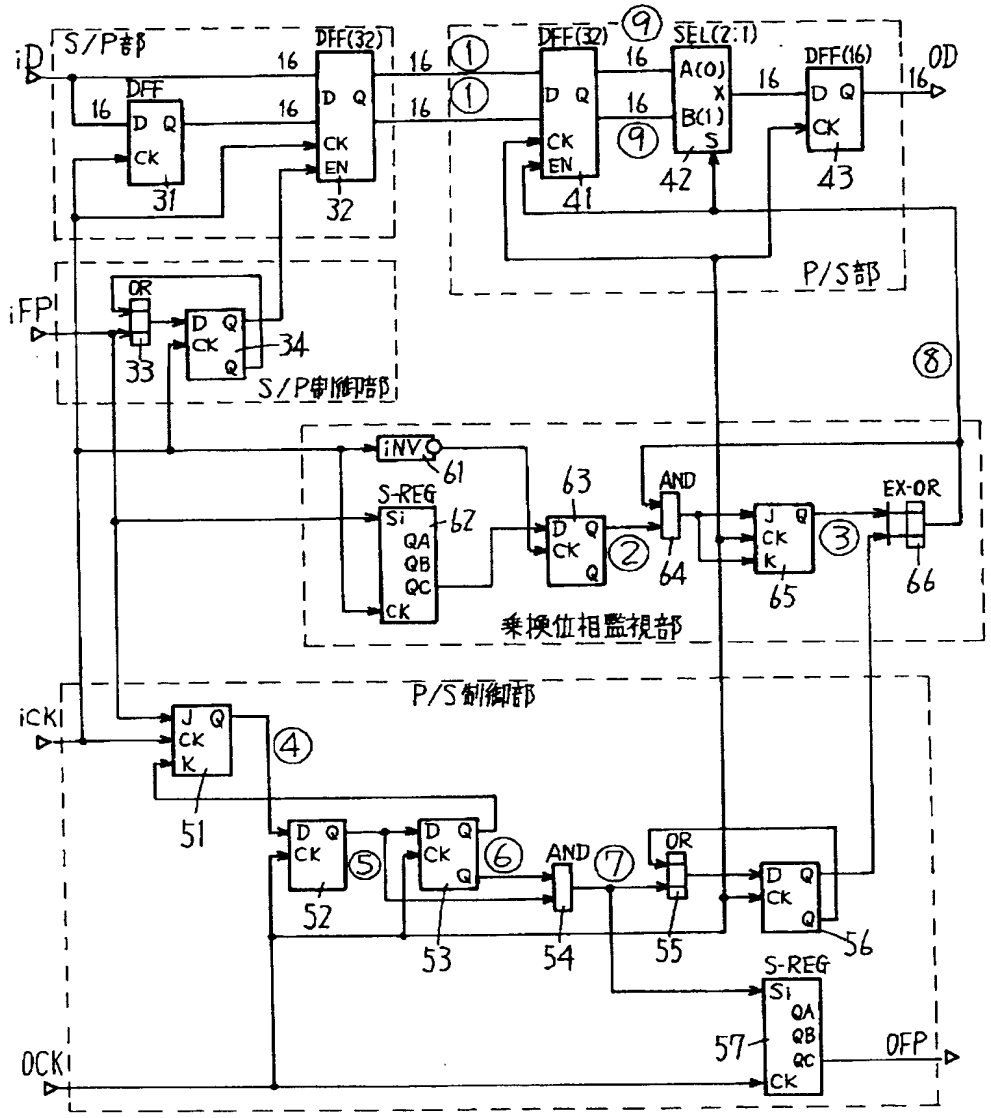
【図１】

本発明の原理構成図



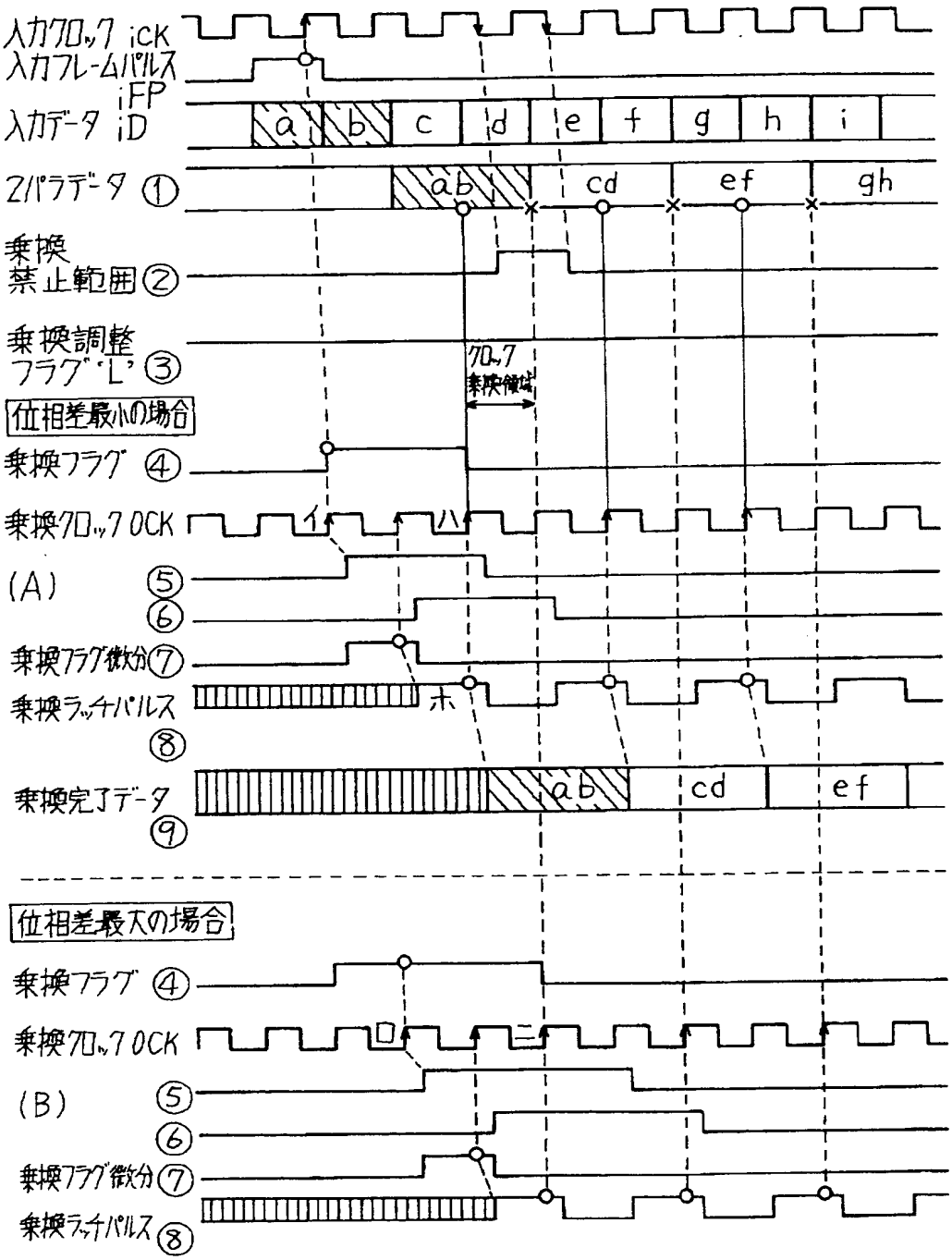
【図２】

本発明の実施例の構成図



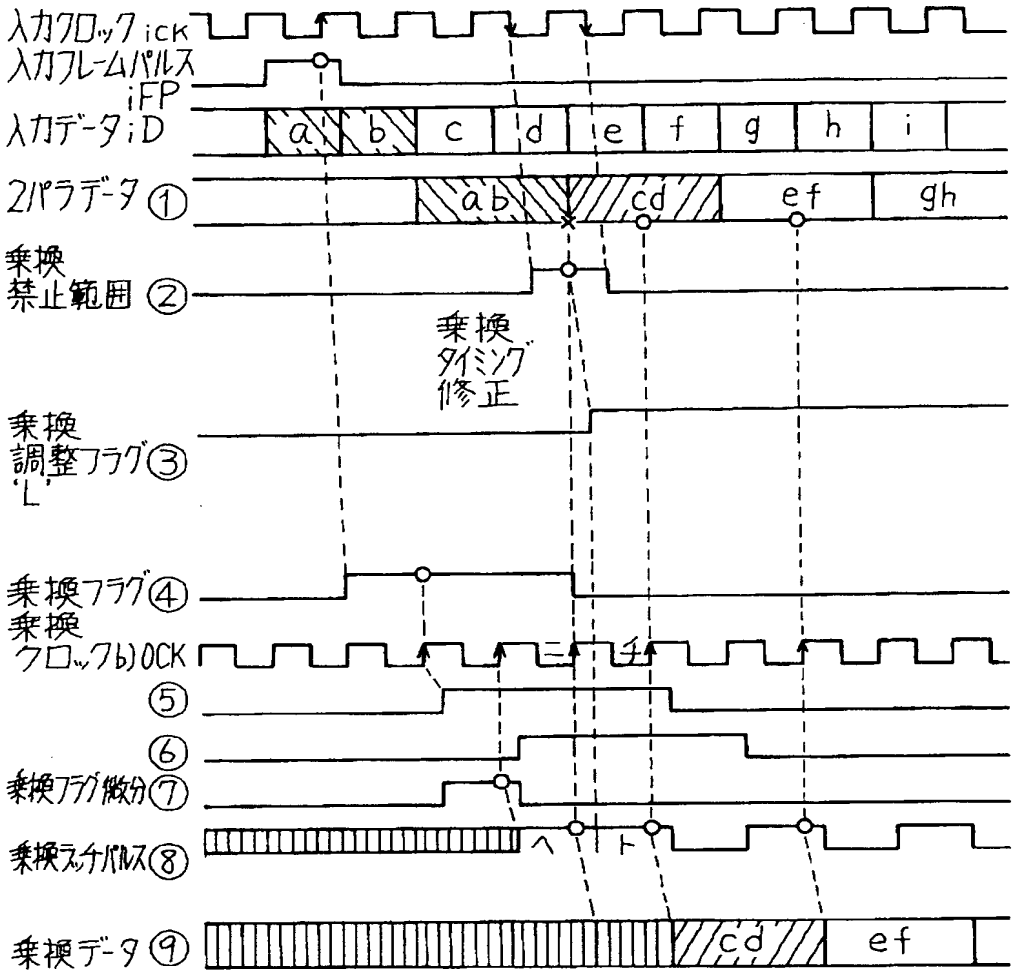
【図3】

図2の動作説明図（その1）



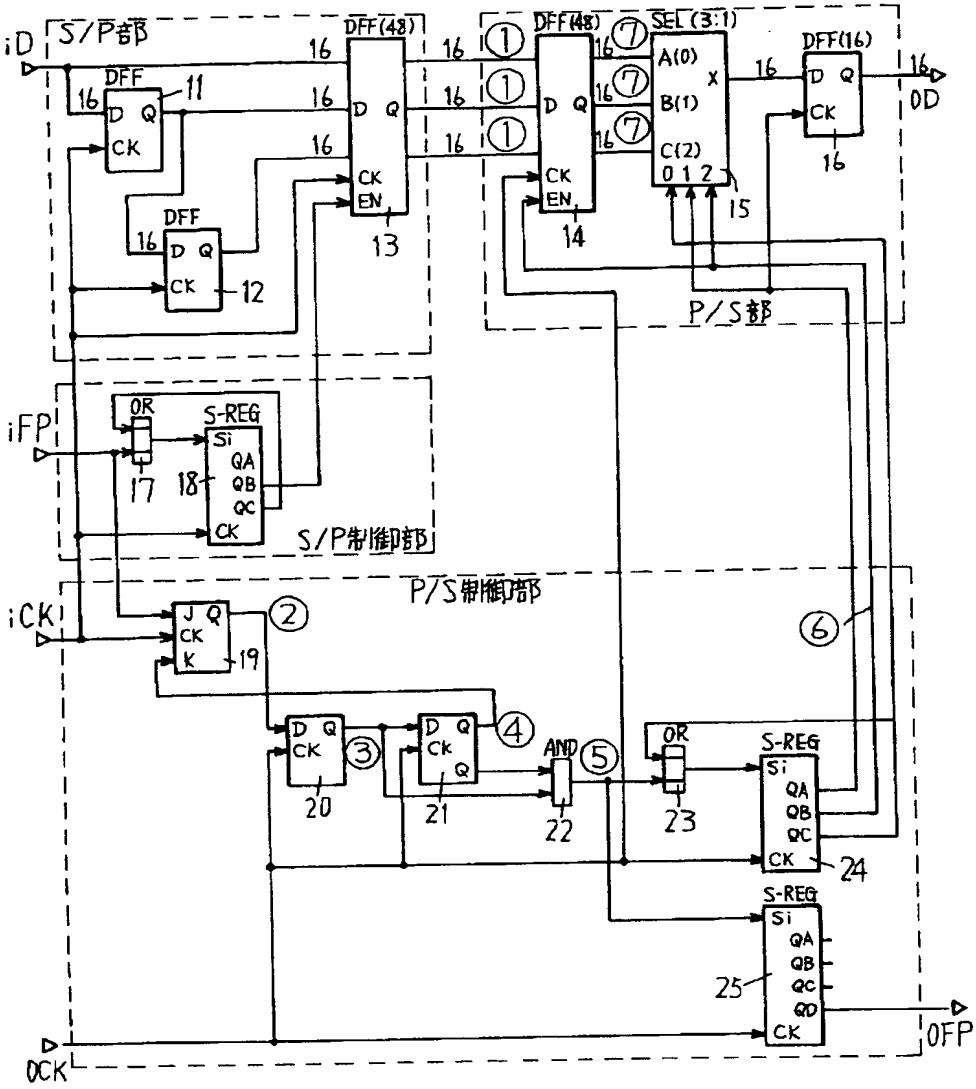
【図4】

図2の動作説明図（その2）



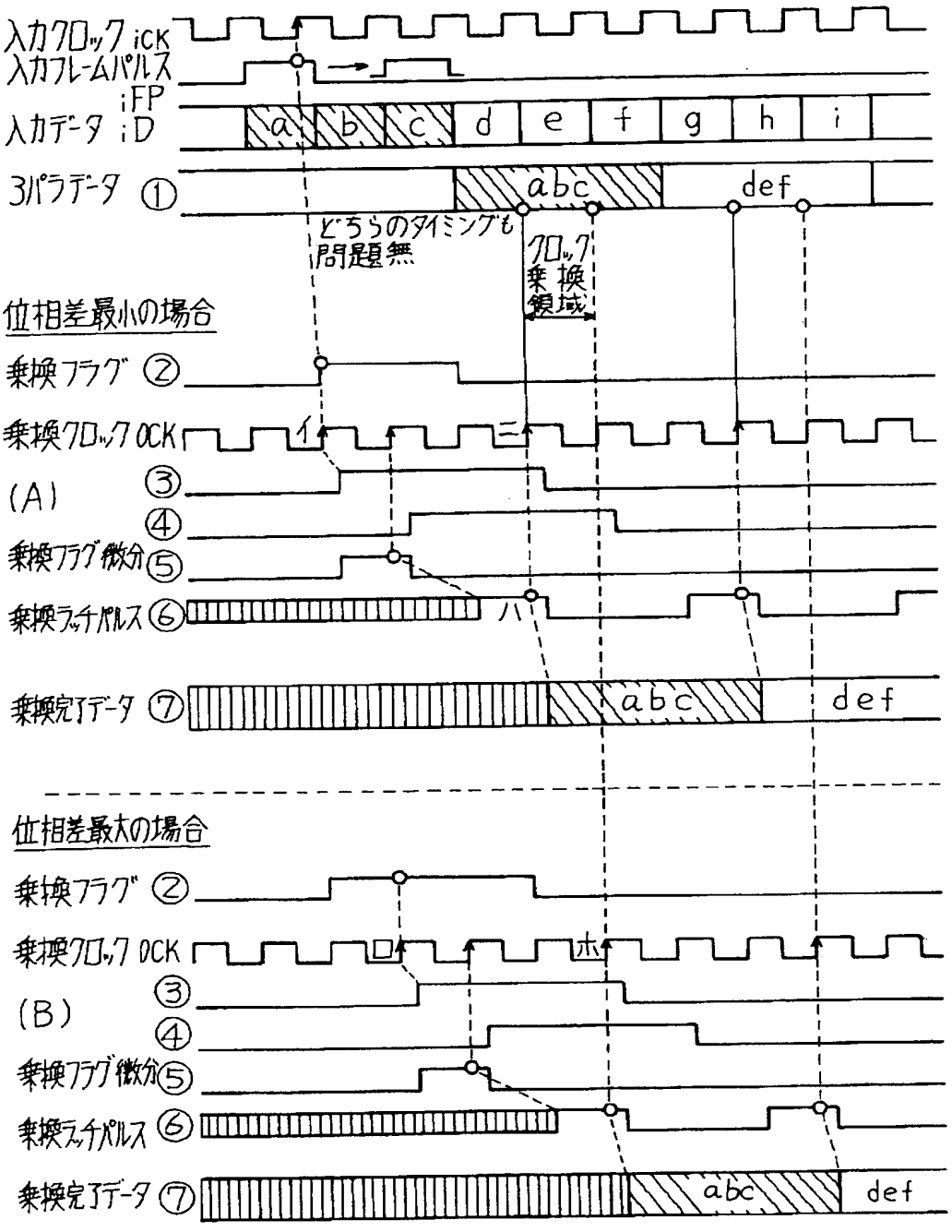
【図５】

従来例の構成図


iD
S/P部
DFF
DFF(48)
DFF(48)
SEL(3:1)
DFF(16)
A(0)
B(1)
C(2)
0 1 2
D Q
CK
EN
OD
P/S部
iFP
OR
S-REG
Si
QA
QB
QC
S/P制御部
P/S制御部
iCK
J Q
K
AND
OCK
OFP
11
12
13
14
15
16
17
18
19
20
21
22
23
24
25

【図６】

図５の動作説明図


入力クロック iCK
入力フレームパルス iFP
入力データ iD
a
b
c
d
e
f
g
h
i
3パラデータ ①
abc
def
どちらのタイミングも問題無
クロック乗換領域
位相差最小の場合
乗換フラグ ②
乗換クロック OCK
イ
ニ
(A)
③
④
乗換フラグ微分 ⑤
乗換ラッチパルス ⑥
ハ
乗換完了データ ⑦
abc
def
位相差最大の場合
乗換フラグ ②
乗換クロック OCK
ロ
ホ
(B)
③
④
乗換フラグ微分 ⑤
乗換ラッチパルス ⑥
乗換完了データ ⑦
abc
def